

## ⑪ 公開特許公報 (A) 昭60-94756

⑤Int.Cl.  
H 01 L 25/04識別記号 庁内整理番号  
7638-5F

⑥公開 昭和60年(1985)5月27日

審査請求 未請求 発明の数 1 (全4頁)

⑦発明の名称 半導体装置

⑧特願 昭58-203117

⑨出願 昭58(1983)10月29日

⑩発明者 明島 周三 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩川工場内

⑪出願人 株式会社東芝 川崎市幸区堀川町72番地

⑫代理人 弁理士 鈴江 武彦 外2名

## 明和四

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

リードを備えた外囲器内に、機能素子が形成された複数の半導体チップを積層して収容し、これら半導体チップの表面に形成されたポンディングパッド間をポンディングワイヤを介して相互に接続することにより所定の回路システムを構成すると共に、該回路システムの入出力端子となるポンディングパッドと前記外囲器リードとの間をポンディングワイヤを介して接続したことを特徴とする半導体装置。

## 3. 発明の詳細な説明

## (発明の技術分野)

本発明は半導体装置に関し、特に高密度実装を可能とするパッケージング技術に関する。

## (発明の技術的背景)

ICやLSI等の半導体装置は、集積回路が形成された半導体チップを外囲器内にパッケージング

した実装形態で使用される。外囲器にはリードが備えられており、半導体チップの表面に形成された集積回路の内部端子（ポンディングパッド）はポンディングワイヤを介して外囲器内部で外囲器リードに接続され、外囲器リードによって外囲器外に取出される。

第1図(A)は従来の半導体装置に於ける上記パッケージングの状態を示す説明図で、図中、1は外囲器基板、2は外囲器リード、3は半導体チップ、4はポンディングパッド、5はポンディングワイヤである。

なお、ハイブリッドICの場合は、第1図(B)に示す様に、機能素子及び配線が全く形成されていない半導体チップ6でポンディングワイヤ5を中継したパッケージングも行なわれている。

## (背景技術の問題点)

上記の様に、従来の半導体装置では外囲器の備られた面積内に半導体チップを平面的に配置収容していた為、一つの外囲器内に収容し得るチップ数には自ずと限度があった。更って、一つの外囲

器内にパッケージングされる機能素子の密度を上げようとなれば、半導体チップ3を大型化したり、チップ3内に於ける素子の微細化や高密度化によって半導体チップ3自体の高集積化を図らざるを得なかった。

(発明の目的)

本発明は上記事情に鑑みて為されたもので、半導体チップの大型化やチップ内素子の微細化および高密度化に比べれば、一つの外囲器内にパッケージングされる機能素子の密度を容易に高めることが出来る半導体装置を提供するものである。

(発明の概要)

本発明による半導体装置は、リードを備えた外囲器内に、機能素子が形成された複数の半導体チップを積層して収容し、これら半導体チップの表面に形成されたポンディングパッド間をポンディングパッドを介して相互に接続することにより所定の回路システムを構成すると共に、該回路システムの入出力端子となるポンディングパッドと前記外囲器リードとの間をポンディングワイヤを介

- 3 -

チップ40がエポキシ系ベースト剤により接着固定されている。LSIチップ20、30、40の表面には、夫々ポンディングパッド21…、31…、41…が形成されている。そして、これらポンディングパッド間をポンディングワイヤ12…で接続することにより、各LSIチップ20、30、40内に形成されている集積回路が有機的に結合され、より高次の回路システムが構成されている。そして、最下層のLSIチップ20に形成されたポンディングパッドは、上記回路システムの入出力端子となっており、ポンディングワイヤ13を介して前記外囲器リード11に接続されている。

上記実施例の半導体装置によれば、従来と同じ一つの外囲器に3個のLSIチップが積層して収容されているから、従来半導体装置に比べればLSIチップの集積度が数倍増大したのと同じ効果が得られる。また、ポンディング用の配線パッドを多数取れることから、セミカスタム品として低コスト化を図る上でも有利である。

- 5 -

して接続したことを特徴とするものである。

本発明では、従来と同じ外囲器面積上にICやLSIチップを複数個積層してパッケージングするから、チップに於ける集積度が従来と同じであっても、一つの外囲器内にパッケージングされる機能素子の密度を従来の数倍に高めることが出来る。

(発明の実施例)

以下、第2図～第4図を参照して本発明の実施例を説明する。

第2図(A)は本発明の一実施例に成る半導体装置に於いて、外囲器内に収容された半導体チップとそのワイヤボンディングの状態を示す平面図であり、第2図(B)は同図(A)のB-B線に沿う断面図である。これらの図に於いて、11…は外囲器リードである。これらのリード11…を備えた外囲器内にはLSIチップ20がマウントされている。該LSIチップ20の上には別のLSIチップ30がエポキシ系ベースト剤により積層固定され、更にその上にはもう一つ別のLSI

- 4 -

第3図は本発明の他の実施例を示す断面図である。この実施例では、4個のLSIチップ20、30、40、50が積層して外囲器内に収容されており、外囲器リード11は2層目のLSIチップ30及び3層目のLSIチップ40に接続されている。この実施例に示す様に、積層されるLSIチップは何個でも良く、また2層目や3層目のLSIチップ表面に形成されたポンディングパッドを回路システムの入出力端子として外囲器リードに接続しても良い。

(発明の効果)

以上詳述した様に、本発明の半導体装置によれば半導体チップの大型化やチップ内素子の微細化といった困難な手段に堪らなくても、一つの外囲器内にパッケージングされる機能素子の密度を容易に高めることが出来る等、顕著な効果が得られるものである。

4. 図面の簡単な説明

第1図(A) (B)は夫々従来の半導体装置のパッケージング状態を示す説明図、第2図(A)

- 6 -

は本発明の一実施例に成る半導体装置に於いて、  
外周器内に収容された半導体チップとそのワイヤ  
ボンディングの状態を示す平面図、第2図(B)  
は同図(A)のB-B線に沿う断面図、第3図は  
本発明の他の実施例を示す断面図である。

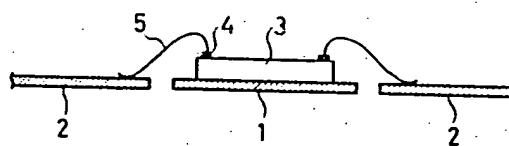
11…外周器リード、12、13…ボンディング  
ワイヤ、20、30、40、50…LSIチップ、  
21、31、41…ボンディングパッド。

出願人代理人 弁理士 錦江武彦

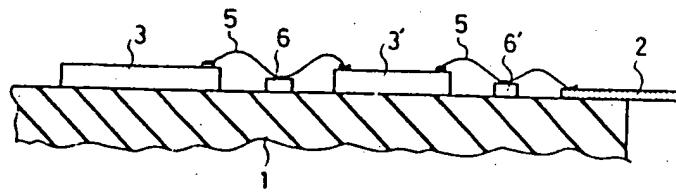
- 7 -

第1図

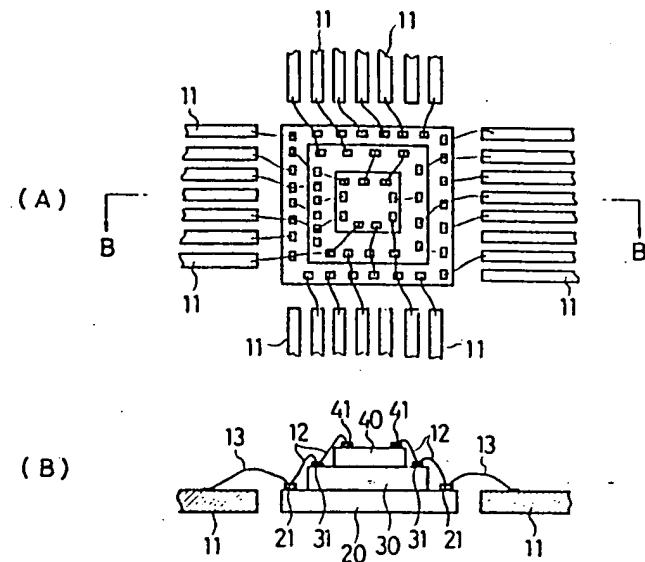
(A)



(B)



第 2 回



第 3 附

